Федеральное государственное образовательное бюджетное учреждение

высшего образования

**«Финансовый университет при Правительстве Российской Федерации»**

**(Финансовый университет)**

Факультет прикладной математики и информационных технологий

**Департамент анализа данных, принятия решений и финансовых технологий**

**Контрольная работа №1 по дисциплине**

**«Организация вычислительных систем»**

Вариант № 11

**Выполнил:**

Студент группы ПИ19-1В

Заваруев Иван Сергеевич

**Преподаватель:**

Профессор д/н

Корнеев Николай Владимирович

**Москва 2019**

Содержание

[Упражнение 1.27 2](#_Toc23208073)

[Упражнение 1.56 2](#_Toc23208074)

[Упражнение 2.11 3](#_Toc23208075)

[Упражнение 3.15 7](#_Toc23208076)

# Упражнение 1.27

*Преобразуйте следующие десятичные числа в шестнадцатеричные.*

1. *4210*
2. *6310*
3. *22910*
4. *84510*

Решение.

1. 4210 = 3210 + 1010 = 2\*161 10+ 10\*16010 = 2A16
2. 6310 = 4810 + 1510 = 3\*16110 +15\*16010 = 3F16
3. 22910 = 224 10 + 510 = 14\*16110 +5\*16010 = E516
4. 84510 = 76810 + 6410 + 1310 = 3\*16210 + 4\*16110 +13\*16010 = 34D16

# Упражнение 1.56

*Преобразуйте следующие десятичные числа в 6-битные двоичные числа, представленные в дополнительном коде, и сложите их:*

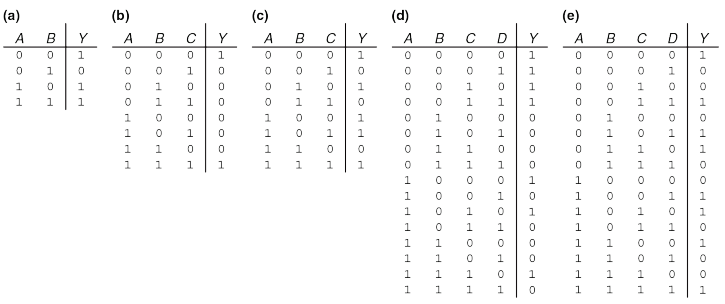
1. *1610 + 910*
2. *2710 + 3110*
3. *−410 + 1910*
4. *310 + −3210*
5. *−1610 + −910*
6. *−2710 + −3110*

*Укажите, если сумма переполняет 6-битный регистр*.

Решение.

1. 1610 + 910 = 0100002 + 0010012 = 0110012
2. 2710 + 3110 = 0110112 + 0111112 = 01110102 – сумма переполняет 6-битный регистр.
3. −410 + 1910 = 1111002 + 0100112 = 0011112
4. 310 + −3210 = 0000112 + 1000002 = 1000112
5. −1610 + −910 = 1100002 + 1101112 = 1001112
6. −2710 + −3110 = 100101 + 1000012 = 10001102 – сумма переполняет 6-битный регистр.

# Упражнение 2.11

*Нарисуйте достаточно простые комбинационные схемы, реализующий выражения, полученные для таблиц истинности, приведенных на Рисунке 1. Можно использовать только элементы НЕ, И-НЕ, и ИЛИ*. 

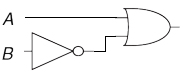
Рисунок

Решение.

1. Совершенная дизъюнктивная нормальная форма:

Упрощение, учитывая разрешенные элементы:

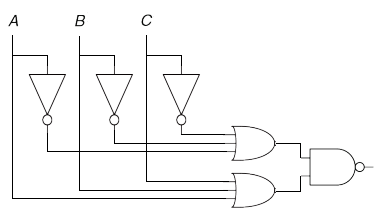
Рисунок:



1. Совершенная дизъюнктивная нормальная форма:

Упрощение, учитывая разрешенные элементы:

Рисунок:

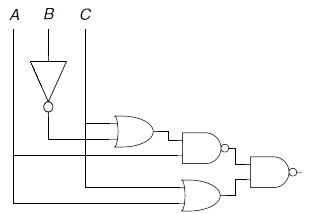


Рисунок

1. Совершенная дизъюнктивная нормальная форма:

Упрощение, учитывая разрешенные элементы:

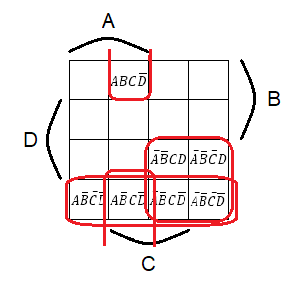
Рисунок:



Рисунок

1. Совершенная дизъюнктивная нормальная форма:

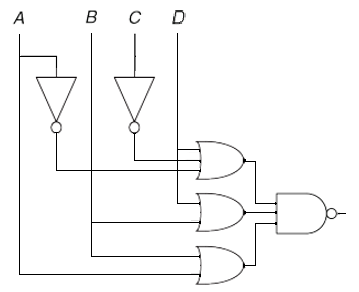
Карта Карно:



Рисунок

Упрощение, учитывая разрешенные элементы:

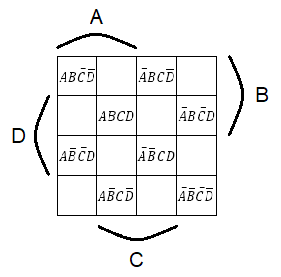
Рисунок:



Рисунок

1. Совершенная дизъюнктивная нормальная форма:

Карта Карно:



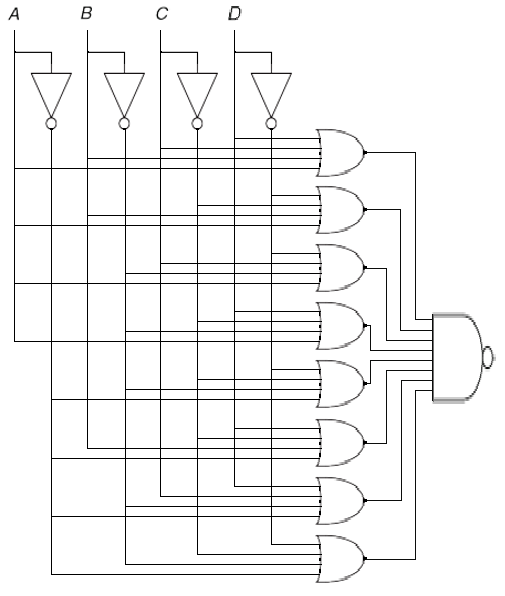
Рисунок

Упрощение, учитывая разрешенные элементы:

Дальнейшие преобразования считаю нецелесообразными, т. к. они не только не позволяют существенно уменьшить количество элементов на схеме, но и негативно влияют на стройность конструкции и легкость восприятия оной.

Последняя строчка выражения не переносится из-за горизонтальной черты сверху.

Рисунок:

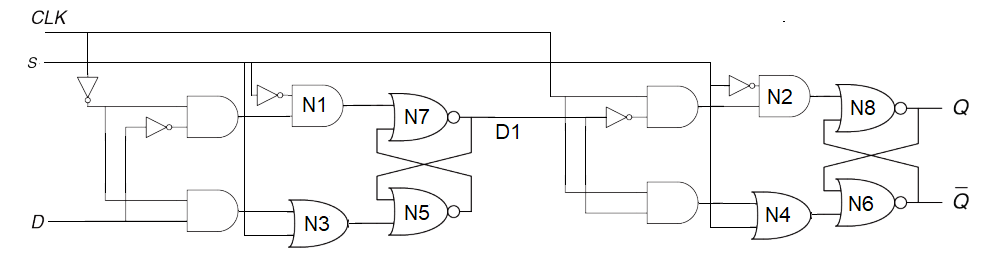


Рисунок

# Упражнение 3.15

*Спроектируйте асинхронно устанавливаемый D-триггер, используя логические элементы*.

Решение.



Рисунок

Ответ представлен на Рисунке 8. Слово “устанавливаемый” в задании означает, что подача логической единицы на вход S должна устанавливать это же значение на выходе Q и соединении защелок D1. В свою очередь асинхронность предполагает независимость этой операции от значения входа CLK, что достигается встраиванием в каждую защелку элементов И (N1 и N2) и ИЛИ (N3 и N4), на выходе которых при S=1 устанавливаются значения 0 и 1 соответственно, вне зависимости от значения на их вторых входах. Таким образом, элементы ИЛИ-НЕ N5 и N6 получают на один из входов логическую единицу, что дает логический ноль на их выходе, вследствие этого на входы к N7 и N8 поступают по два логических нуля и те, тоже являясь элементами ИЛИ-НЕ, выдают по логической единице на D1 и Q соответственно.